

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 9 月 9 日 (09.09.2005)

PCT

(10) 国際公開番号  
WO 2005/083765 A1

- (51) 国際特許分類: **H01L 21/301**, B81C 1/00, G01D 5/24, G01P 15/125, H01L 29/84
- (21) 国際出願番号: PCT/JP2005/003302
- (22) 国際出願日: 2005 年 2 月 28 日 (28.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-054711 2004 年 2 月 27 日 (27.02.2004) JP  
特願2004-160631 2004 年 5 月 31 日 (31.05.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目 3 番 6 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加川 健一 (KAGAWA, Kenichi) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町 1-8 東京エレクトロン A T 株式会社内 Hyogo

(JP). 八壁 正巳 (YAKABE, Masami) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町 1-8 東京エレクトロン A T 株式会社内 Hyogo (JP).

(74) 代理人: 伊藤 英彦, 外 (ITO, Hidehiko et al.); 〒5420082 大阪府大阪市中央区島之内 1 丁目 2 1 番 19 号 協和島之内ビル アイミー国際特許事務所 Osaka (JP).

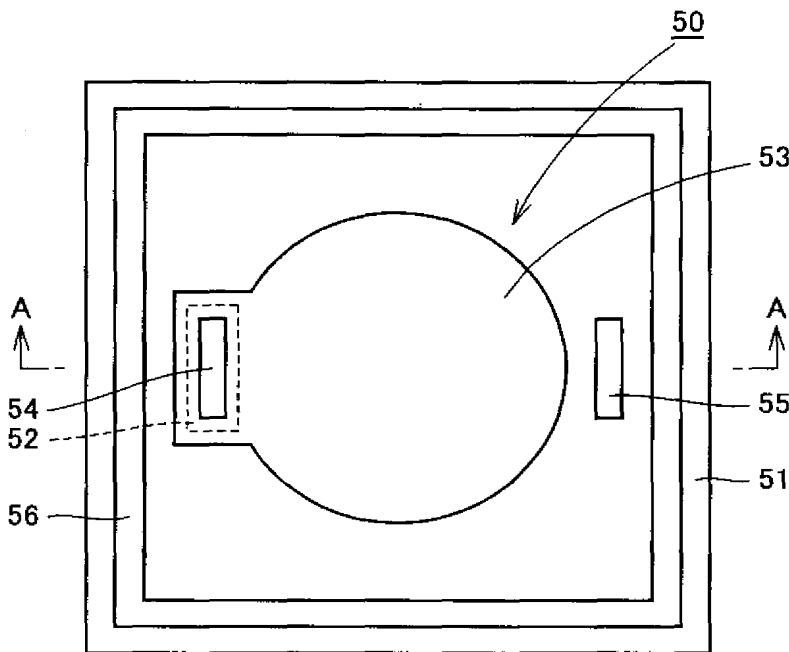
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device, wherein a substrate (51) is formed in a rectangular shape with four sides along dicing lines, and a jetty part (56) is formed to surround all the peripheries of an actuator element (50) and electrode pads (54) and (55) for input/output. The jetty part (56) is formed in a rectangular shape with four sides, and each side thereof is continuously extended parallel with each side of the substrate (51). Since the adhesion of a protective tape (9) can be increased by the jetty part (56), foreign matters (104) produced in dicing can be prevented from adhering to the actuator element (50) and the electrode pads (54) and (55).

(57) 要約: 基板 51 はダイシングラインに沿う 4 つの辺を有する矩形形状に形成されており、アクチュエータ素子 50 と入出力用の電極パッド 54, 55 の全周囲を囲むように突堤部 56 が形成されている。突堤部 56 は 4 つの辺を有する矩形形状であり、それぞれの辺が基板 51 の各辺に対して平行に連続的に延びてい

る。突堤部 56 により、保護テープ 9 の密着性を向上できるので、ダイシング時に生じる異物 104 がアクチュエータ素子 50 や電極パッド 54, 55 に付着するのを阻止できる。

WO 2005/083765 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

### 半導体装置

### 技術分野

[0001] この発明は半導体装置に関し、特に、ダイシングによって個々のチップに分割される半導体装置に関する。

### 背景技術

[0002] 図13はアクチュエータ素子を示す図であり、(a)は平面図を示し、(b)は(a)の線B－Bに沿う断面図である。

[0003] 図13において、アクチュエータ素子50は、基板51と、固定部52と、導電層53と、電極パッド54、55を含む積層構造である。導電層53は、円板状に形成されており、固定部52によって基板51との間に間隙領域57を形成するように片持ち梁の支持形態によって支持されている。導電層53は入力される電極パッドに与えられる電気信号に応じて固定部52を支点として上側あるいは下側に変位する。

[0004] 図13に示したアクチュエータ素子50は、図14に示すように基板51であるシリコンウエハ103上に複数形成された後、各素子をダイシング技術により半導体チップに切断して分割し、その半導体チップにリードフレームを接続してパッケージ化される。ダイシング技術は、図14に示す斜視図および図15に示す断面図のように、ダイヤモンド粉末をまぶしたブレード101を高速回転させて洗浄水102を散布しながらシリコンウエハ103を切断することにより行われる。ところが、シリコンウエハ103を切断したときに切りくずなどの異物104が飛び散る。

[0005] アクチュエータ素子50をチップ化するときに、上記異物104が導電層53に付着すると素子の動作を阻害する問題があるため、異物104が導電層53に付着するのを防止する必要がある。このために、ダイシング時の洗浄水102の水量を増加させることが有効であるが、洗浄水量を増加させると洗浄水102が導電層53に物理的外力を与えることによる導電層53の破損を引き起こすおそれがある。

[0006] そこで、図16に示すように、各アクチュエータ素子50の導電層53上に表面保護のための保護テープ9を貼付け、保護テープ9によりアクチュエータ素子50の表面を保

護した上で、ダイシングが行われる。

[0007] しかし、導電層53の形状により、隣接する素子間では上から見て間隔の狭い部分と広い部分とがあるため、保護テープ9の密着性のよい部分と悪い部分が生じる。また、間隔の広い部分と狭い部分とでは、ブレード101でダイシングしたときの保護テープ9への力の作用の仕方が異なる。このため、ダイシング時に保護テープ9の浮きや剥がれが生じる。その結果、保護テープ9の浮きや剥がれた部分から異物104を含んだ洗浄水102がアクチュエータ素子50の内部に入り込んで、異物104が導電層53に付着してしまったり、アクチュエータ素子50の構造体破損が引き起こされてしまう。

[0008] 特開平06-347475号公報には、加速度センサにおいて基板上に形成された固定部と可動部とをカバーで覆うことにより、基板のダイシング時に固定部および可動部内に塵、切りくず、水分などが混入、侵入するのを防止する方法について記載されている。

[0009] 特開平06-347475号公報に記載された加速度センサにおいて、固定電極はカバーで覆われているので、固定電極にワイヤボンディングすることができないため、信号入出力のための電極パッドはカバーより外側に設けられており、固定電極と電極パッドとは引出し電極によって接続されている。このため、カバーを設けることで固定電極や可動電極を保護することができても電極パッドは露出しているため、基板切断時に電極パッドに切り傷を与えて断線してしまうおそれがある。

[0010] また、電極パッドに塵、切りくずが付着すると抵抗値が高くなってしまいボンディングの障害になったり、信頼性が低下するおそれがある。さらに、電極パッドに水分が当たると金属が変質してボンディングの密着力が低下するなどの問題を生じることがある。

## 発明の開示

[0011] そこで、この発明の目的は、ダイシング時に保護テープが浮いたり剥がれることなく、安定してチップを切断できる半導体装置を提供することである。

[0012] また、この発明の他の目的は、切りくずなどの異物が入り込むことなく、構造体の破損を引き起こすことがない半導体装置を提供することである。

- [0013] この発明は、ダイシングによって個々のチップに分割された半導体装置であって、ダイシングラインに沿う辺を有する基板と、基板上に形成された半導体素子と、半導体素子と辺との間に位置する基板上に形成された突堤部と、半導体素子上に形成されて突堤部の最外壁面よりも内側に形成される信号入出力のための入出力用電極パッドとを備える。
- [0014] したがって、隣接する突堤部によって保護膜は安定に支持されるので、ダイシングを行ってその部分を切断するときに、保護膜が剥がれたり浮き上がることがなく安定してチップを切断することができる。また、入出力用電極パッドが突堤部の最外壁面よりも内側に形成されているので、基板切断時に電極パッドに切り傷を与えて断線してしまうおそれもなく、入出力用電極パッドに塵、切りくずが付着するおそれも解消でき、入出力用電極パッドに水分が当たることによる金属の変質でボンディングの密着力が低下するのを防止できる。
- [0015] 好ましくは、突堤部は辺に対して平行に連続的に延びている。これにより、突堤部に沿って安定してダイシングを行うことができる。
- [0016] 好ましくは、突堤部は半導体素子の全周囲を取り囲むように形成されている。このような突堤部を設けることにより、ダイシングにより生じた異物が保護膜の下に入り込んでも、その異物が突堤部により阻止されるので、半導体素子内に侵入するのを防止できる。
- [0017] 好ましくは、半導体素子は絶縁層と、その上に形成される導電層とを含み、突堤部は絶縁層と、その上に形成される導電層とを含み、半導体素子の絶縁層と突堤部の絶縁層とは、同一プロセスで形成され、半導体素子の導電層と突堤部の導電層とは、同一プロセスで形成される。このように同一プロセスで形成できるので、新たなプロセスを必要とせず、突堤部を設けたことによるコストの上昇を抑えることができる。
- [0018] 好ましくは、入出力用電極パッドは半導体素子の導電層上に形成され、さらに突堤部の導電層上であってその最外壁面よりも内側に形成され、入出力用電極パッドに電氣的に接続されて突堤部の導電層と半導体素子の導電層との電位差をゼロに近付ける突堤部用電極パッドを含む。
- [0019] 突堤部の導電層と半導体素子の導電層との電位差をゼロに近付けることで、両導

電層間に生じる寄生容量による悪影響を防止できる。また、静電引力による影響を除くことが可能になる。

[0020] この発明の他の局面は、基板と、基板との間に間隙を形成するように固定部によって支持された構造体と、固定部によって支持されていない構造体の部分と、基板の外縁との間に位置する基板上に形成された突堤部とを備える。

[0021] 異物の侵入通路となる基板と構造体との間の隙間部分に突堤部を設けることで、異物が侵入するのを抑制できる。

[0022] 好ましくは、突堤部は構造体の全周囲を取り囲むように複数形成されている。これにより、異物がいずれの方向からも半導体素子内に侵入することがない。

[0023] 好ましくは、構造体上に形成され、突堤部の最外壁面よりも内側に形成される信号入出力のための入出力用電極パッドを含む。入出力用電極パッドを突堤部の最外壁面よりも内側に設けることで、基板をダイシングする際に入出力用電極パッドが損傷するのを避けることができる。

[0024] 好ましくは、突堤部は構造体を囲むようにその周りに複数設けられていて、入出力用電極パッドは複数の突堤部の最外壁面を通る仮想外延よりも内側に設けられている。これにより、基板のダイシング時に突堤部の入出力電極用電極パッドの損傷を避けることができる。

[0025] 好ましくは、構造体は固定部上に形成される導電層を含み、突堤部は絶縁層と、その上に形成される導電層とを含み、構造体の固定部と突堤部の絶縁層とは、同一プロセスで形成され、構造体の導電層と突堤部の導電層とは、同一プロセスで形成される。このように同一プロセスで形成できるので、新たなプロセスを必要とせず、突堤部を設けたことによるコストの上昇を抑えることができる。

[0026] 入出力用電極パッドは構造体の導電層上に形成され、さらに突堤部の導電層上に形成され、入出力用電極パッドに電氣的に接続されて突堤部の導電層と構造体の導電層との電位差をゼロに近付ける突堤部用電極パッドを含む。

[0027] 突堤部の導電層と構造体の導電層との電位差をゼロに近付けることで、両導電層間に生じる寄生容量による悪影響を防止できる。

[0028] 好ましくは、突堤部の導電層と構造体の導電層との電位差をゼロに近づける同電

位手段を含む。両導電層間の電位差をゼロに近付けることで、両導電層間に生じる寄生容量はコンデンサとして機能しないので、寄生容量による悪影響を防止できる。

[0029] 好ましくは、入出力用電極パッドと突堤部用電極パッドとの間に接続され、構造体と基板との間のインピーダンス変化を検出する容量型センサ検出手段を含む。構造体と基板との間のインピーダンス変化を検出することで半導体装置を容量検出型センサとして用いることができる。

[0030] 好ましくは、突堤部よりも内側の領域上部は、開口されている。突堤部が設けられていても内側の領域上部が開口されているので、各電極パッドへのワイヤボンディングが可能になる。

### 図面の簡単な説明

[0031] [図1]この発明の第1の実施形態における半導体装置を示す平面図である。

[図2]図1の線A-Aに沿う断面図である。

[図3]図1に示した半導体装置が複数形成されたシリコンウエハをダイシングする状態を示す断面図である。

[図4]この発明の第2の実施形態における半導体装置の平面図である。

[図5]この発明の第3の実施形態における半導体装置の平面図である。

[図6]この発明の第4の実施形態における半導体装置の平面図である。

[図7]この発明の第5の実施形態における半導体装置の平面図である。

[図8]この発明の第6の実施形態における半導体装置の平面図である。

[図9]この発明の第7の実施形態における半導体装置の断面図である。

[図10]この発明の第8の実施形態における半導体装置の断面図である。

[図11]この発明の第9の実施形態における半導体装置の平面図である。

[図12]図9及び図10に示した半導体装置の製造プロセスを連続的に示す図である。

[図13]従来のアクチュエータ素子を示す図である。

[図14]従来のダイシング工程を示す図である。

[図15]従来のダイシング工程でシリコンウエハをダイシングする工程を示す断面図である。

[図16]保護テープで素子表面を覆った状態でダイシングする工程を示す断面図であ

る。

### 発明を実施するための最良の形態

- [0032] 図1はこの発明の第1の実施形態における半導体装置を示す平面図であり、図2は図1の線A-Aに沿う断面図である。
- [0033] 図1において、半導体装置を構成するアクチュエータ素子50は、基板51と、固定部52と、構造体としての導電層53と、信号入出力用の電極パッド54, 55と、突堤部56とを含む積層構造である。導電層53は、円板状に形成されており、固定部52によって基板51との間に間隙領域57を形成するように片持ち梁の支持形態によって支持されている。導電層53は電極パッド54, 55に与えられる電気信号に応じて固定部52を支点として上側あるいは下側に変位する。なお、導電層53に代えて、構造体としての絶縁層または半導体層を用いてもよい。
- [0034] 基板51はダイシングラインに沿う4つの辺を有する矩形状に形成されており、アクチュエータ素子50の周囲を囲むように突堤部56が、アクチュエータ素子50と基板51の各辺との間に位置するように形成されている。突堤部56は4つの辺を有する矩形状であり、それぞれの辺が基板51の各辺に対して平行に連続的に延びている。また、突堤部56の高さは、導電層53の上面より高くなるように形成されている。導電層53上には電極パッド54が形成されており、基板51上には電極パッド55が形成されている。より好ましくは、突堤部56はアクチュエータ素子50の全周囲を囲むのが好ましい。
- [0035] このため、電極パッド54, 55はいずれも突堤部56内に形成されている。ダイシング後に電極パッド54, 55にはワイヤボンディングがされるが、このために突堤部56には蓋が設けられておらず、開口されている。
- [0036] なお、突堤部56は固定部52を製造するときに同一材料および同一プロセスで形成することができる。
- [0037] 図3は図1に示したアクチュエータ素子50が複数形成されたシリコンウエハ60をダイシングする状態を模式的に示す断面図である。シリコンウエハ60上には、図1で説明した積層構造を有する複数のアクチュエータ素子50が形成されており、突堤部56上には保護テープ9が密着して貼り付けられている。そして、隣接するアクチュエータ



素子50の突堤部56, 56間でガイドされるごとくブレード101により基板51の辺に沿ってシリコンウエハ60がダイシングされて、半導体チップごとに切断される。

- [0038] 各アクチュエータ素子50間における突堤部56, 56の間隔を等しくでき段差部がなくなるので、ダイシングラインに沿ってブレード101でダイシングを行ったときに保護テープ9に作用する力を均一にできる。これにより、保護テープ9の浮きや剥がれが生じることがない。しかも、保護テープ9の切断部分から異物104を含んだ洗浄水が下部に漏れても隣接する突堤部56, 56の間に留まるので、アクチュエータ素子50の内部に異物104が入り込むことがなく、アクチュエータ素子50の構造体破損が引き起こされてしまうのを防止できる。
- [0039] さらに、全ての電極パッド54, 55は突堤部56の最外壁面より内側に位置しているため、ダイシング時にブレード101によって傷つけられて破損するおそれなくなる。また、突堤部56上に保護テープ9が張られるので、突堤部56内の電極パッド54, 55に塵, 切りくずが付着することがない。その結果、電極パッド54, 55に塵, 切りくずが付着して抵抗値が高くなってしまってボンディングの障害になったり、信頼性が低下するおそれがなく、電極パッド54, 55に水分が当たって金属が変質してボンディングの密着力が低下するなどの問題を生じることがない。
- [0040] また、最終的に保護テープを除去するため、突堤部56よりも内側の領域はその上部に蓋が設けられておらず、開口されているのでダイシング後に、電極パッド54, 55にワイヤボンディングするのに障害になることはない。
- [0041] なお、図1に示した実施形態では、アクチュエータ素子50の周囲を囲むように矩形の突堤部56を形成したが、これに限ることなく、導電層53の固定部52によって支持されていない部分と基板51の外縁との間に位置する基板上に突堤部56を形成してもよい。すなわち、固定部52自体は異物104の侵入を阻止できるので、固定部52によって支持されていない、それ以外の部分から異物104が侵入しないように突堤部56を形成してもよい。
- [0042] 図4はこの発明の第2の実施形態における半導体装置の平面図である。図4に示した実施形態では、アクチュエータ素子50の全ての周囲を囲むことなく、基板1の4つの辺に平行であり、かつ独立した4つの突堤部121をアクチュエータ素子50と各辺と

の間に形成したものである。

- [0043] このように、アクチュエータ素子50の全ての周囲を囲むことなく、突堤部121を基板1の各辺に平行に形成に形成するだけでも、突堤部121により図3に示した保護テープ9の密着性を向上でき、ブレード101でシリコンウエハをダイシングする際に保護テープ9に作用する力を均一にできる。さらに、保護テープを貼る際にアクチュエータ素子50にかかる負担を軽減できる。
- [0044] また、この実施形態においても電極パッド54, 55は、突堤部121よりも内側に設けられているので、ダイシング時にブレード101によって電極パッド54, 55が傷つけられて破損するおそれがなく、異物104が付着することもない。
- [0045] 図5はこの発明の第3の実施形態における半導体装置の平面図である。この図5に示した第3の実施形態では、突堤部122を円筒状に形成してアクチュエータ素子50の全周囲及び電極パッド54, 55を囲むようにしたものである。これにより、図3に示した保護テープ9の切断部が下に垂れ下がって、保護テープ9の切断部分から異物104を含んだ洗浄水が下部に漏れても隣接する突堤部122, 122の間に留まるので、アクチュエータ素子50の内部に異物104が入り込むことがない。
- [0046] したがって、保護能力の低下によるアクチュエータ素子50の構造体破損が引き起こされてしまうのを防止できる。また、電極パッド54, 55を損傷したり異物104が付着することもない。
- [0047] なお、図1に示した四角形状の突堤部56や図5に示した円筒状の突堤部122に限らず、これらの形状を変形させてもよい。要するに、アクチュエータ素子50の周囲を囲む形状であればどのような形状でもよい。
- [0048] 図6はこの発明の第4の実施形態における半導体装置の平面図である。図5に示した実施形態では、アクチュエータ素子50及び電極パッド54, 55の周囲を囲むように突堤部122を形成したのに対して、図6に示した実施形態では、基板51上の2箇所固定部52を設け、これらの固定部52により導電層57を支持するものである。固定部52, 52のそれぞれの間に設けられている隙間部分から異物が入らないように、その隙間部分の狭い側の幅d1よりも長いd2の長さを有する突堤部123をアクチュエータ素子50aと基板51の外縁との間に設ける。突堤部124は幅d1の隙間部分を除く広

い隙間部分を囲むようにコ字状に形成される。

[0049] このように固定部52間に形成される隙間部分に対向して突堤部123、124を設けることで、アクチュエータ素子50aの基板51と導電層57との間の隙間領域に異物104が入り込むのを阻止することができる。

[0050] 図7はこの発明の第5の実施形態における半導体装置の平面図である。この実施形態は、図6に示した突堤部123に代えて短い円弧状に形成された突堤部125と、長い円弧状に形成された突堤部126を固定部52間で形成される隙間部分に対向して配置したものである。このような突堤部125、126を設けることによっても、アクチュエータ素子50aの隙間領域に異物104が入り込むのを阻止することができる。

[0051] 図8はこの発明の第6の実施形態における半導体装置の平面図である。この実施形態では、固定部52、52間で形成される隙間部分に対向して、隙間部分の幅d1よりもその長さが短く形成された突堤部127を各隙間部分に対向して近接して複数部配置したものである。突堤部127の長さが隙間部分の長さd1よりも短い、隙間部分に近接して配置されているので、異物104がアクチュエータ素子50の隙間領域に入り込むのを阻止することができる。

[0052] なお、図8において、導電層57上に形成されている電極パッド54と基板51上に形成されている電極パッド55は、いずれも突堤部127の最外壁面を通る仮想外延PLよりも内側に設けられている。このように、電極パッド54、55は突堤部56の外壁面よりも内側に位置しているため、ダイシング時にブレード101によって傷つけられて破損するおそれなくなる。

[0053] 図9はこの発明の第7の実施形態における半導体装置の断面図である。

[0054] 前述の図1に示した半導体装置において、突堤部56を形成したことにより、突堤部56と、これに対向する構造体である導電層53の側面との間で寄生容量Ciが発生し、アクチュエータ素子として動作させたとき寄生容量Ciにより動作が遅延してしまうおそれがある。

[0055] そこで、図9に示した実施形態では、半導体装置をアクチュエータとして使用する際の寄生容量Ciによる動作の遅延を防止する。この例においては突堤部70として、絶縁層71と導電層72との積層構造で形成するとともに、導電層72上であって突堤部7

0の最外壁面より内側に突堤部用の電極パッド73を形成し、構造体である導電層53上に形成されている電極パッド54と突堤部70の電極パッド73とを同電位手段としての導線74で接続して、導電層53と72とを同電位にして両者の電位差をゼロに近付けるものである。

[0056] このように導電層53と72とを同電位にすることで、突堤部70の導電層72と、これに対向する導電層53の側面との間で生じる寄生容量 $C_i$ はコンデンサとして機能しないので、動作遅延などの悪影響を排除できる。

[0057] また、突堤部70上に形成された電極パッド73は、突堤部70の外壁面よりも内側に設けられており、基板51にはその上に図3に示した保護テープ9が密着して貼り付けられるので、基板51のダイシング時に電極パッド73が損傷するおそれを解消できる。

[0058] 図10はこの発明の第8の実施形態における半導体装置の断面図である。

[0059] 図1に示した半導体装置を容量検出型センサとして用いる場合は、突堤部56と、これに対向する導電層53の側面との間で生じる寄生容量 $C_i$ と、導電層53と基板51との間に生じる容量 $C$ および容量変化 $\Delta C$ との和が並列に接続されたものとなる。寄生容量 $C_i$ はコンデンサとして作用し、この寄生容量 $C_i$ により感度を低下させるとともに入力換算ノイズレベルを悪化させる要因になる。

[0060] そこで、この実施形態は、容量型検出センサとして用いる場合に寄生容量 $C_i$ による悪影響を除外する。図9と同様にして、突堤部70として、絶縁層71と導電層72との積層構造で形成するとともに、導電層72上であって突堤部70の外壁面よりも内側に電極パッド73を形成し、導電層53上に形成されている電極パッド54と電極パッド73との間に容量型センサ検出回路75を接続する。容量型センサ検出回路75は、オペアンプの一方の入力端を導電層53の電極パッド54に接続し、オペアンプの他方の入力端を出力端に接続したボルテージフォロワ回路で構成したものである。ボルテージフォロワ回路の出力端は、突堤部70の電極パッド73に接続されるとともに出力端子76に接続される。基板51上の電極パッド55には図示しないがバイアス電圧が供給される。

[0061] ボルテージフォロワ回路は、ゲインが1であるため、導電層53と72とを等価的にほぼ同じ電位にして両者間の電位差をゼロに近付けることができる。その結果、寄生容

量 $C_i$ による検出容量への影響を見かけ上なくすることができるので、容量型センサ検出回路75は、導電層53と基板51との間に生じる容量 $C$ および容量変化 $\Delta C$ の和のみを検出できるので、感度を向上できるとともに入力換算ノイズレベルを低減できる。

[0062] なお、容量型センサ回路75としてボルテージフォロワ回路に限ることなく、導電層53と72とがほぼ同電位になるように設定できる回路であれば、他の回路を用いてもよい。

[0063] なお、図9及び図10に示した実施形態は、図1に示した半導体装置のみならず、図4〜図8に示した半導体装置に適用してもよい。

[0064] 図11はこの発明の第9の実施形態における半導体装置の平面図である。この実施形態は、突堤部70の導電層72と、円板状の導電層53とを一体化して構成したものである。このように導電層53と72とを一体化することで図9に示した導線74を不要にできる。

[0065] 図12は図9及び図10に示した半導体装置の製造プロセスを連続的に示す図である。まず、図12(a)に示す基板201が用意され、図12(b)に示すように基板201上に絶縁層202が形成され、図12(c)に示すように絶縁層202上に導電層203が形成される。この導電層203により図9及び図10に示した構造体である導電層53と突堤部70の導電層72とが形成される。導電層203に対してフォトリソグラフィの技術によって不要な部分を除去してレジストパターンを形成し、レジストパターンをマスクとして、エッチングすることにより図12(d)に示すような導電層53と突堤部70の導電層72とが形成される。図12(e)に示すように絶縁層202に対して所望のエッチングを行うことにより、導電層53と基板201との間に間隙領域57が形成され、このエッチングの後に導電層53の一部の外周部に残留する絶縁層202によって固定部52と、導電層53を囲むように突堤部70の絶縁層71とが形成される。なお、基板201は図9及び図10に示した基板51となる。

[0066] 上述のごとく、突堤部70の導電層72は導電層53と同じ材料及び同じプロセスで形成でき、突堤部70の絶縁層71も固定部52と同じ材料及び同じプロセスで形成できる。これにより、突堤部70を形成するために新たな材料を用いる必要がなく、プロセスも追加する必要がないので、積層構造の突堤部70を設けたことによってコストを上

昇させることがない。

- [0067] 以上、図面を参照してこの発明の実施形態を説明したが、この発明は、図示した実施形態のものに限定されない。図示された実施形態に対して、この発明と同一の範囲内において、あるいは均等の範囲内において、種々の修正や変形を加えることが可能である。

#### 産業上の利用可能性

- [0068] この発明に係る半導体装置は、基板と導電層との間の間隙領域に異物が入り込むのを阻止しながらダイシングにより半導体チップを形成できるので、素子の構造体破損が引き起こされることがなく、アクチュエータ素子や容量検出型センサに有効に利用される。

## 請求の範囲

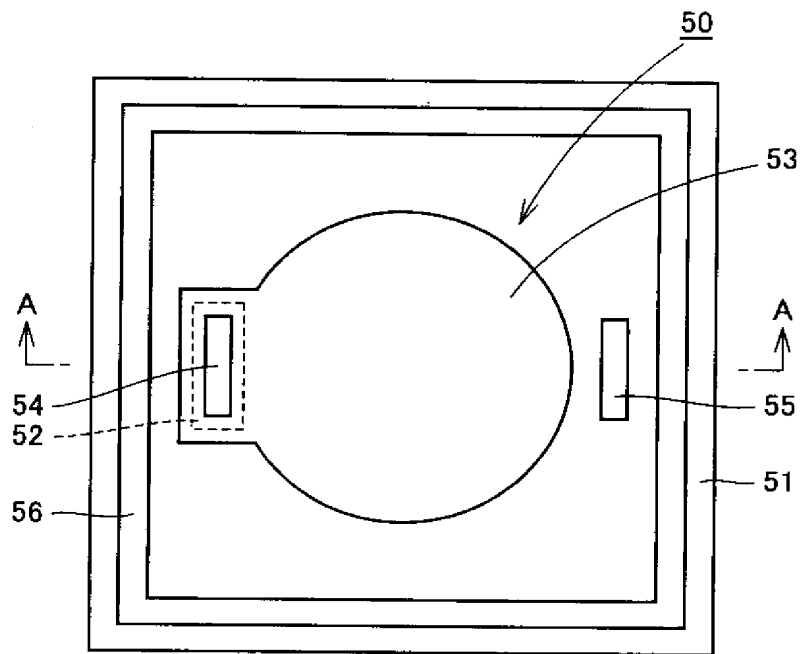
- [1]     ダイシングによって個々のチップに分割された半導体装置であって、  
ダイシングラインに沿う辺を有する基板と、  
前記基板上に形成された半導体素子と、  
前記半導体素子と前記辺との間に位置する前記基板上に形成された突堤部と、  
前記半導体素子上に形成され、前記突堤部の最外壁面よりも内側に形成される信号入出力のための入出力用電極パッドとを備える、半導体装置。
- [2]     前記突堤部は、前記辺に対して平行に連続的に延びている、請求項1に記載の半導体装置。
- [3]     前記突堤部は、前記半導体素子の周囲を取り囲むように形成されている、請求項1に記載の半導体装置。
- [4]     前記半導体素子は、絶縁層と、その上に形成される導電層とを含み、  
前記突堤部は、絶縁層と、その上に形成される導電層とを含み、  
前記半導体素子の絶縁層と前記突堤部の絶縁層とは、同一プロセスで形成され、  
前記半導体素子の導電層と前記突堤部の導電層とは、同一プロセスで形成される、請求項1に記載の半導体装置。
- [5]     前記入出力用電極パッドは前記半導体素子の導電層上に形成され、  
さらに、前記突堤部の導電層上であってその最外壁面よりも内側に形成され、前記入出力用電極パッドに電気的に接続されて前記突堤部の導電層と前記半導体素子の導電層との電位差をゼロに近付ける突堤部用電極パッドを含む、請求項4に記載の半導体装置。
- [6]     基板と、  
前記基板との間に間隙を形成するように固定部によって支持された構造体と、  
前記固定部によって支持されていない構造体の部分と、前記基板の外縁との間に位置する基板上に形成された突堤部とを備える、半導体装置。
- [7]     前記突堤部は、前記構造体の周囲を取り囲むように複数形成されている、請求項6に記載の半導体装置。
- [8]     前記構造体上に形成され、前記突堤部の最外壁面よりも内側に形成される信号入

出力のための入出力用電極パッドを含む、請求項6に記載の半導体装置。

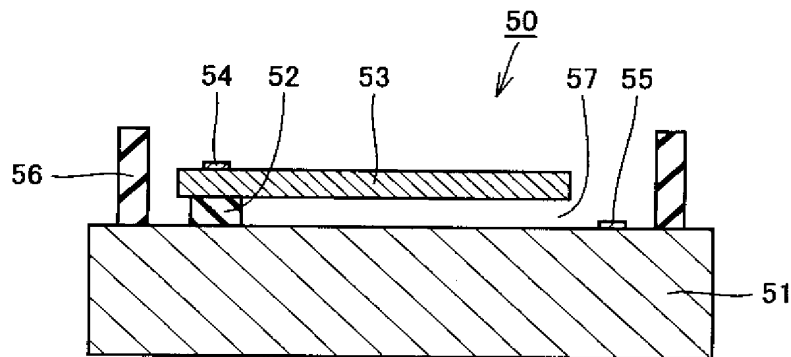
- [9] 前記突堤部は、前記構造体を囲むようにその周りに複数設けられていて、  
前記入出力用電極パッドは前記複数の突堤部の最外壁を通る仮想外延よりも内側に設けられている、請求項8に記載の半導体装置。
- [10] 前記構造体は、前記固定部上に形成される導電層を含み、  
前記突堤部は、絶縁層と、その上に形成される導電層とを含み、  
前記構造体の固定部と前記突堤部の絶縁層とは、同一プロセスで形成され、  
前記構造体の導電層と前記突堤部の導電層とは、同一プロセスで形成される、請求項6に記載の半導体装置。
- [11] 前記入出力用電極パッドは前記構造体の導電層上に形成され、  
さらに、前記突堤部の導電層上に形成され、前記入出力用電極パッドに電氣的に接続されて前記突堤部の導電層と前記構造体の導電層との電位差をゼロに近付ける突堤部用電極パッドを含む、請求項10に記載の半導体装置。
- [12] さらに、前記突堤部の導電層と前記構造体の導電層との電位差をゼロに近づける同電位手段を含む、請求項10に記載の半導体装置。
- [13] さらに、前記入出力用電極パッドに接続され、前記構造体と前記基板との間のインピーダンスの変化を検出するインピーダンス検出手段を含む、請求項11に記載の半導体装置。
- [14] 前記突堤部よりも内側の領域の上部は開口されている、請求項1に記載の半導体装置。



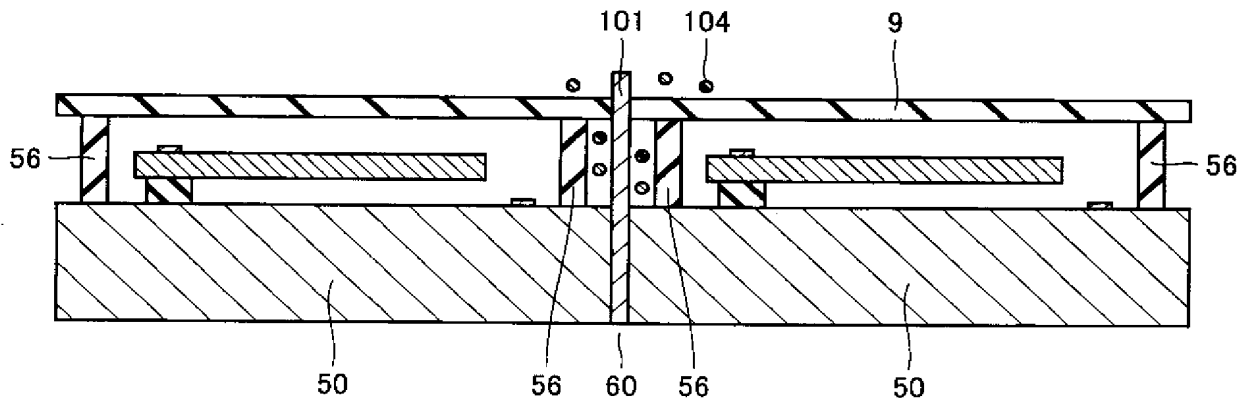
[図1]



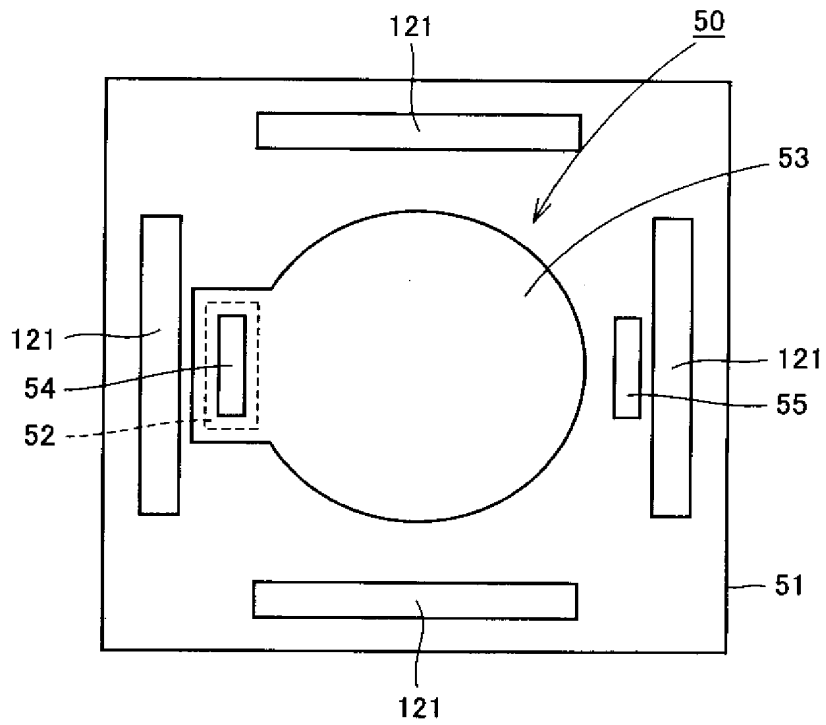
[図2]



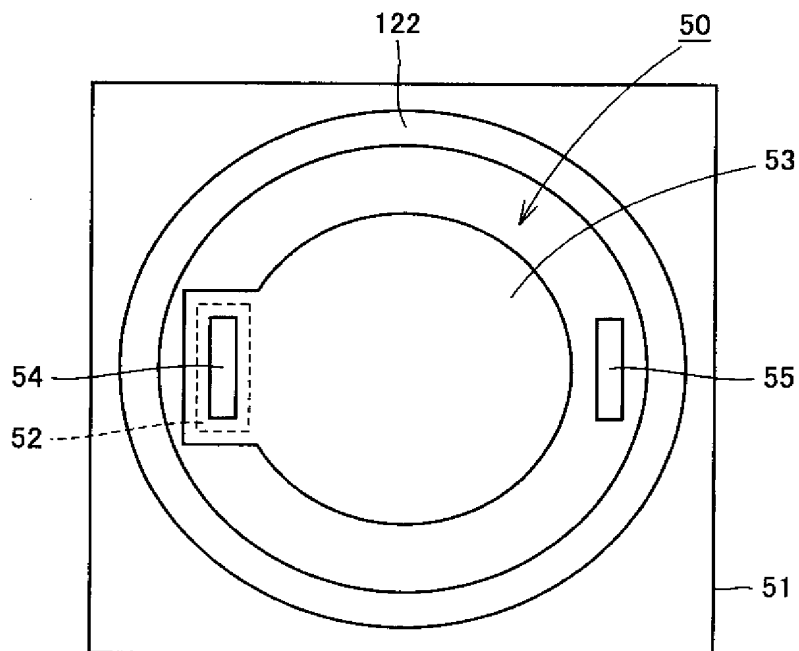
[図3]



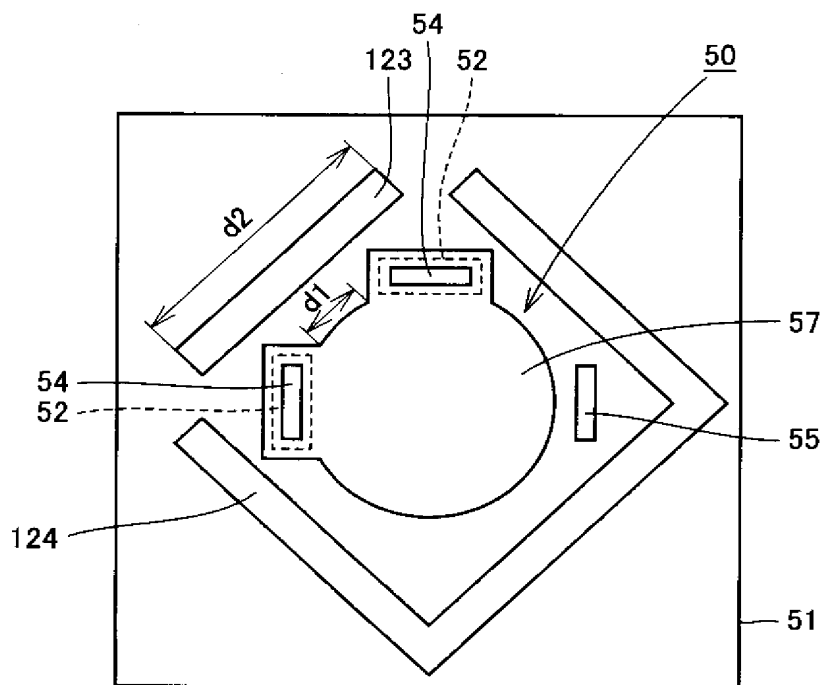
[図4]



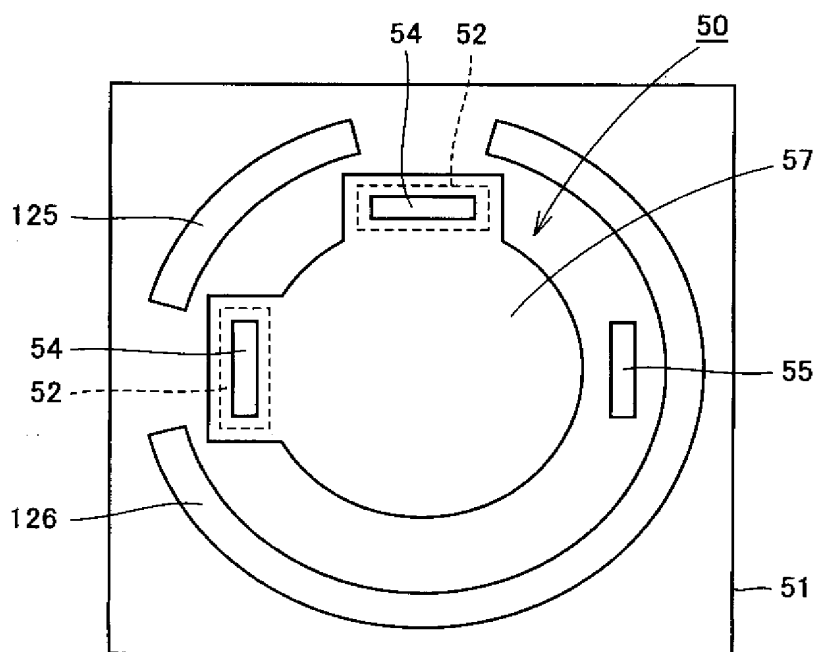
[図5]



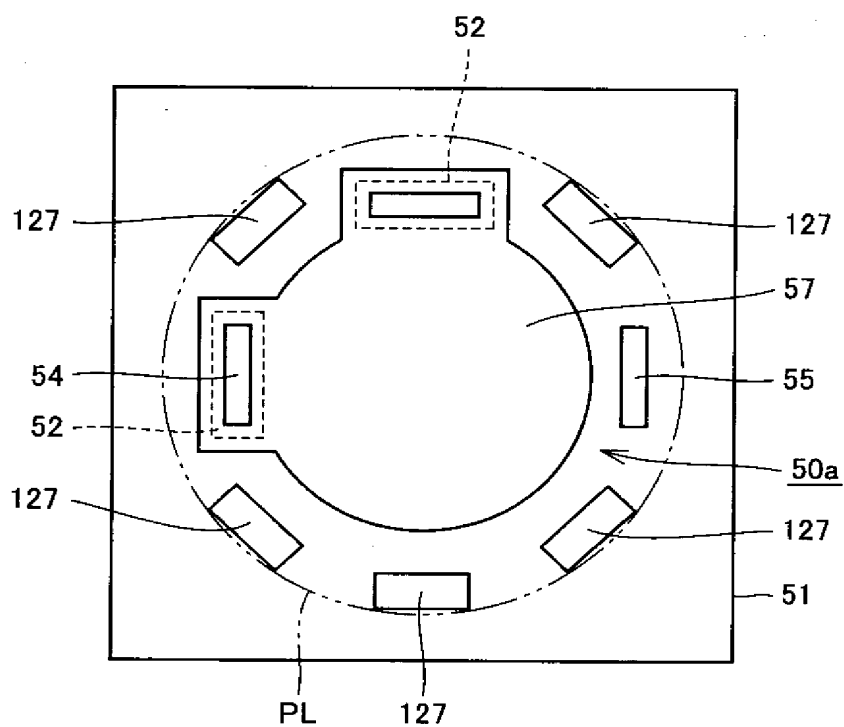
[[図6]]



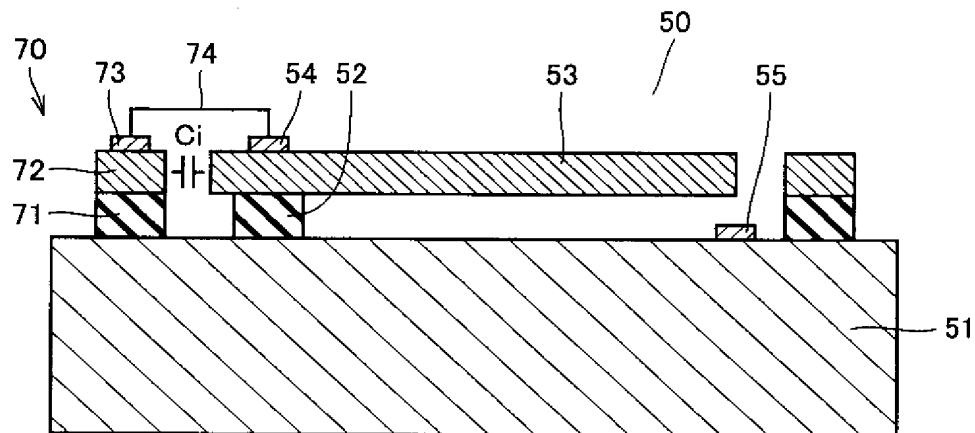
[[図7]]



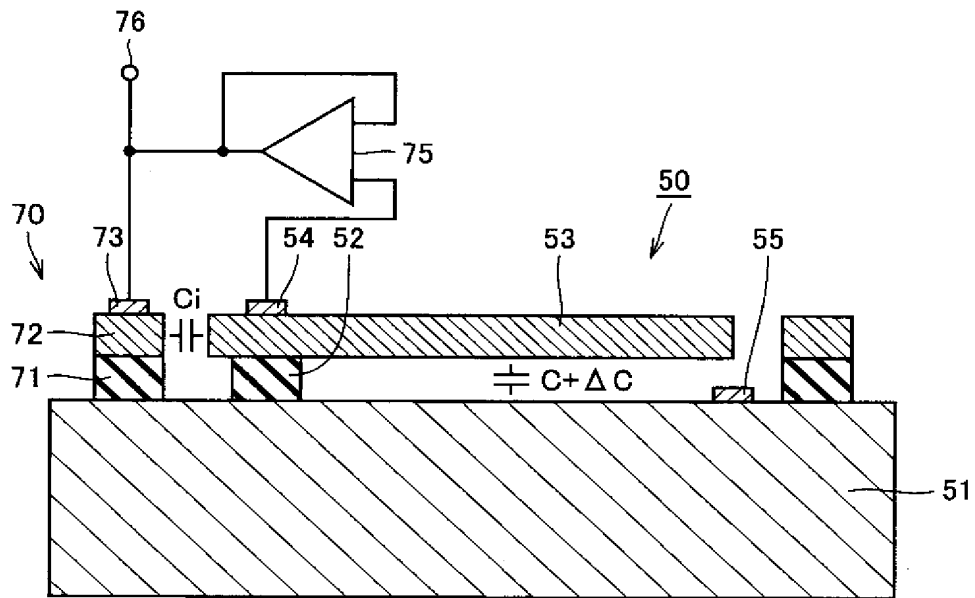
[[8]]



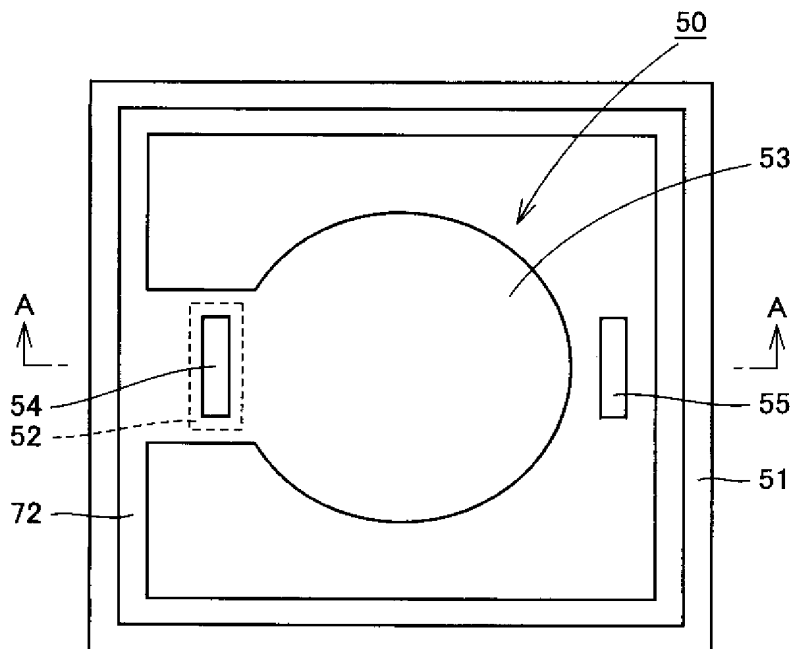
[[9]]



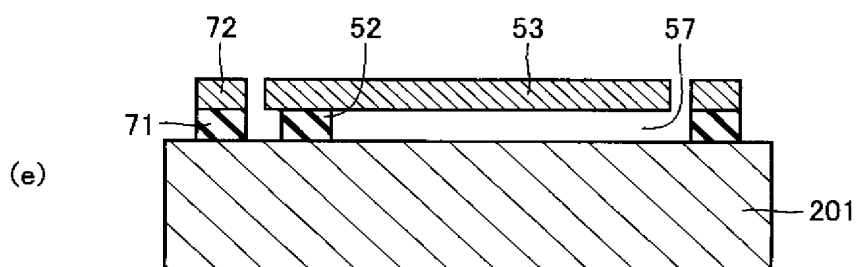
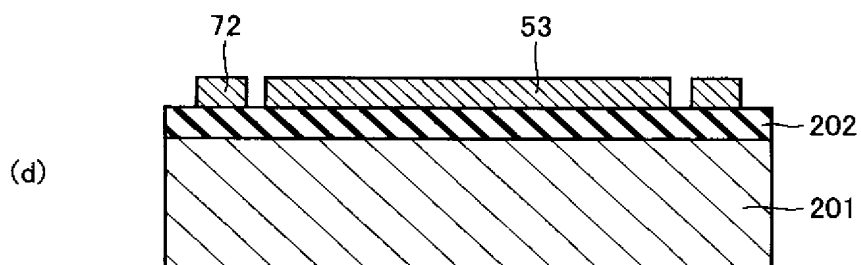
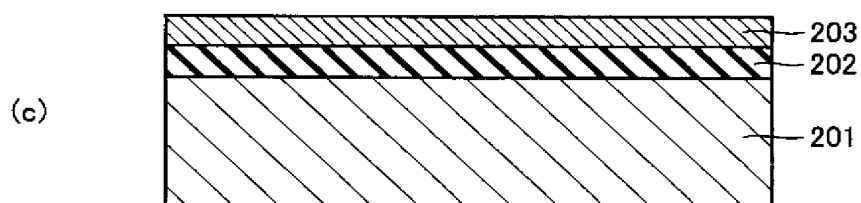
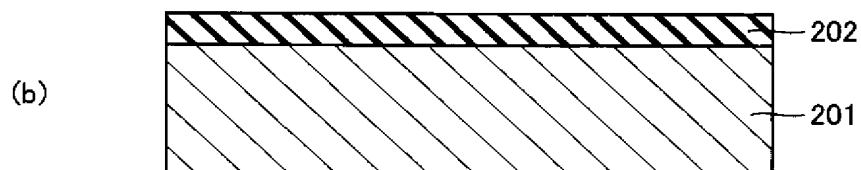
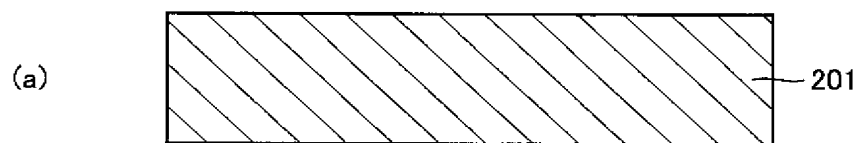
[図10]



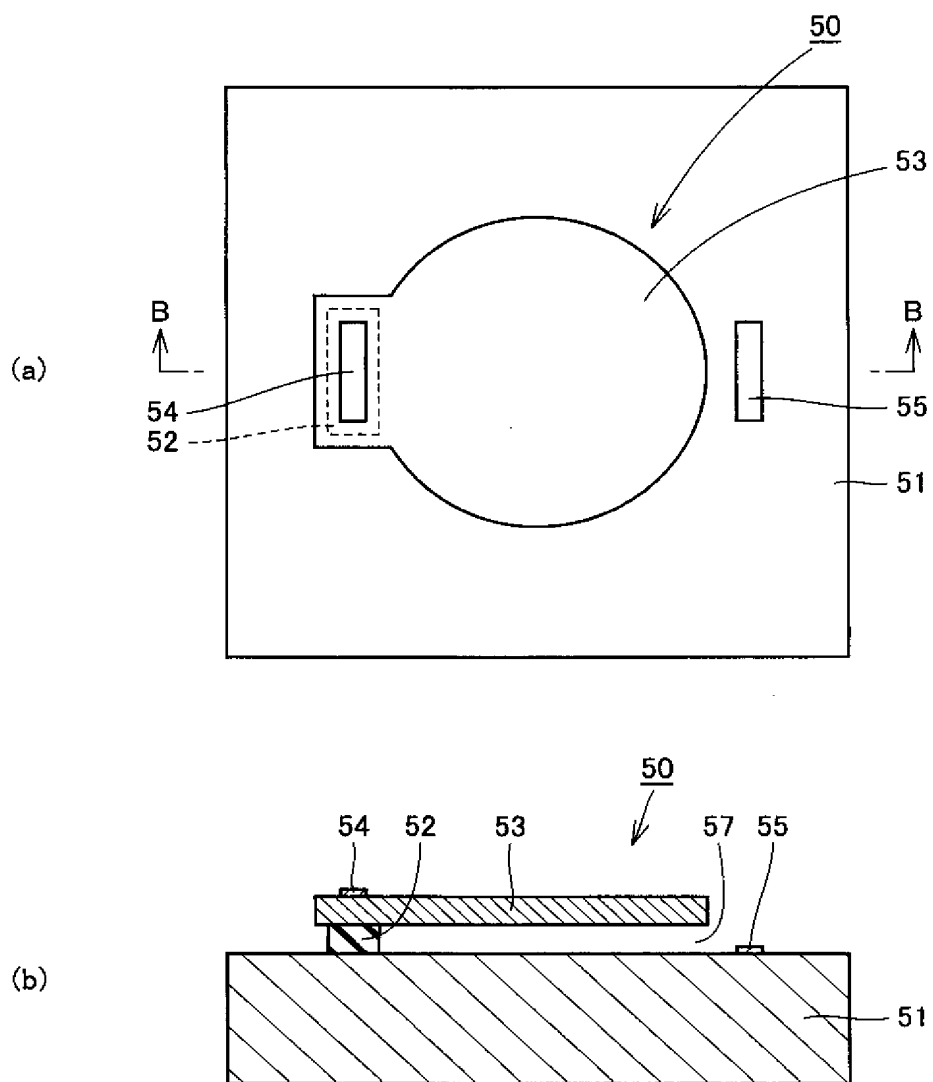
[図11]



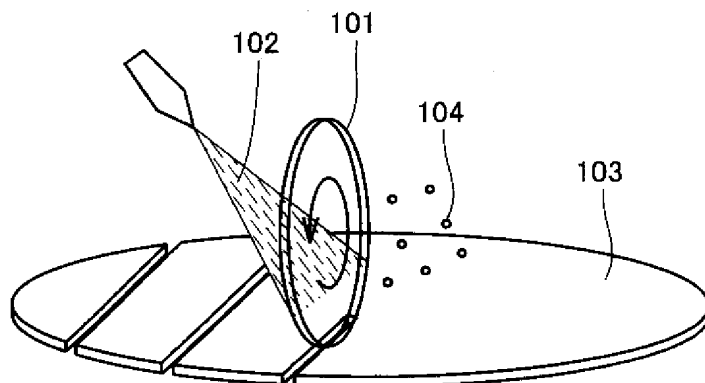
[図12]



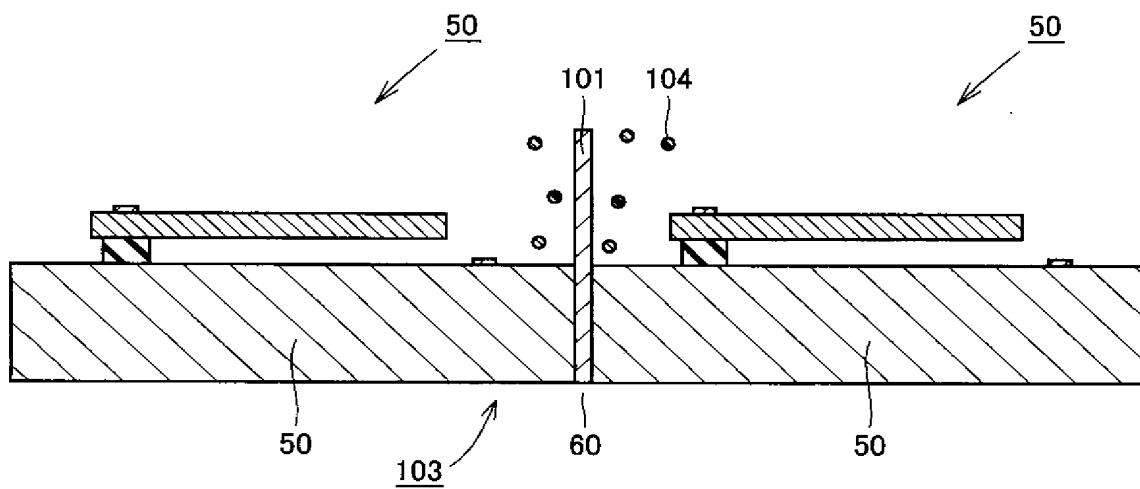
[図13]



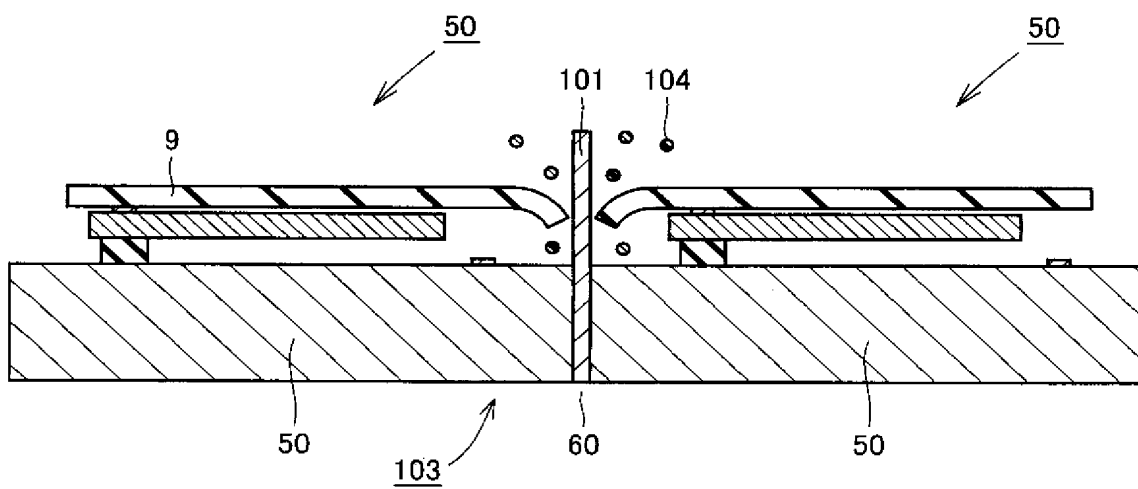
[図14]



[図15]



[図16]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003302

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L21/301, B81C1/00, G01D5/24, G01P15/125, H01L29/84

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/301, B81C1/00, G01D5/24, G01P15/125, H01L29/84

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-16264 A (Denso Corp.), 18 January, 2002 (18.01.02), Par. Nos. [0005] to [0011], [0038]; Figs. 7, 8 & US 2001/0055876 A1	1



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

31 May, 2005 (31.05.05)

Date of mailing of the international search report

14 June, 2005 (14.06.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003302

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in Claim 1 relates to a semiconductor device with a jetty part. The invention in Claim 2 relates to a semiconductor device with a jetty part continuously extending parallel with the sides of a substrate. The invention in Claim 3 relates to a semiconductor device with a jetty part formed to surround the periphery of a semiconductor element. The inventions in Claims 4 and 5 relate to a semiconductor device with a jetty part formed of an insulation layer and a conductive layer. The inventions in Claims 6 to 13 relate to a semiconductor device with a jetty part formed between the  
(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003302

Continuation of Box No.III of continuation of first sheet(2)

portion of a structure not supported by a fixed part and the outer edge of a substrate. The invention in Claim 14 relates to a semiconductor device upwardly opened in an area on the inside of a jetty part.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/301, B81C1/00, G01D5/24, G01P15/125, H01L29/84

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/301, B81C1/00, G01D5/24, G01P15/125, H01L29/84

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2002-16264 A (株式会社デンソー) 2002. 01. 18, 段落【0005】-【0011】, 【0038】, 図7, 8 & US 2001/0055876 A 1	1

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

31. 05. 2005

国際調査報告の発送日

14. 6. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

塩澤 正和

電話番号 03-3581-1101 内線 3364

3P

3319

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲\_\_\_\_\_は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲\_\_\_\_\_は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲\_\_\_\_\_は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1に係る発明は、突堤部を備える半導体装置に関するものであり、請求の範囲2に係る発明は、突堤部が辺に対して平行に連続的に延びている半導体装置に関するものであり、請求の範囲3に係る発明は、突堤部が半導体素子の周囲を取り囲むように形成されている半導体装置に関するものであり、請求の範囲4、5に係る発明は、突堤部が絶縁層と導電層とを備える半導体装置に関するものであり、請求の範囲6-13に係る発明は、固定部によって支持されていない構造体の部分と、基板の外縁との間に突堤部を形成した半導体装置に関するものであり、請求の範囲14に係る発明は、突堤部よりも内側の領域の上部は開口されている半導体装置に関するものである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。